

文章编号: 1671-7449(2021)03-0261-05

# 基于FPGA的USB3.0通信接口设计

刘林仙<sup>1</sup>, 乔楠楠<sup>1</sup>, 童强<sup>2</sup>, 王朝阳<sup>1</sup>, 马奎<sup>1</sup>, 李升<sup>1</sup>, 杨佳苗<sup>2</sup>

(1. 山西大学 自动化与软件学院, 山西 太原 030013;

2. 上海交通大学 电子信息与电气工程学院, 上海 200240)

**摘要:** 针对大批量高速数据传输的准确性和稳定性问题, 本文设计了一种适用于FPGA开发使用的USB3.0通信IP核接口。采用Cypress公司的CYUSB3014芯片作为USB3.0器件, 在vivado软件上进行USB3.0通信IP核接口的软件设计, 最终在以FPGA作为主控芯片的USB3.0高速数据传输系统上对该IP核进行测试。测试结果表明, 该IP核实际可达到的最大上行通信速率可达253.1 MB/s, 下行最大通信速率可达131.9 MB/s。

**关键词:** 高速数据传输; FPGA; USB3.0; CYUSB3014; IP核

中图分类号: TN919.3 文献标识码: A doi: 10.3969/j.issn.1671-7449.2021.03.012

## Design of USB3.0 Communication Interface Based on FPGA

LIU Linxian<sup>1</sup>, QIAO Nannan<sup>1</sup>, TONG Qiang<sup>2</sup>, WANG Zhaoyang<sup>1</sup>,

MA Kui<sup>1</sup>, LI Sheng<sup>1</sup>, YANG Jiamiao<sup>2</sup>

(1. School of Automation and Software Engineering, Shanxi University, Taiyuan 030013, China;

2. School of Electronic Information and Electrical Engineering, Shanghai Jiao Tong University, Shanghai 200240, China)

**Abstract:** To achieve the accuracy and stability of high-speed data transmission in large quantities, this paper designs a USB3.0 communication IP core interface suitable for FPGA development. Cypress's CYUSB3014 chip is used as USB3.0 device. The design of USB3.0 communication IP core interface is carried out by vivado software. the IP core is tested on USB3.0 high-speed data transmission system based on FPGA. The test results show that the IP core can actually achieve a maximum communication rate of 253.1 MB/s upstream and 131.9 MB/s downstream.

**Key words:** high-speed data transmission; FPGA; USB3.0; CYUSB3014; IP core

## 0 引言

随着大数据的兴起和人工智能的发展, 高速采集传输系统在数据采集、数据接收、数据缓存、数据传输等方面, 都必须满足处理高速数据的条件, 尤其对大批量原始数据进行快速稳定的传输提出了更高的要求<sup>[1-3]</sup>。

目前主要使用的高速数据传输方式有USB3.0、千兆以太网等<sup>[4,5]</sup>。千兆以太网理论传输速度为1 Gbps, USB3.0理论传输速度为5 Gbps, 因此在涉及大批量数据传输应用时, USB3.0在传输速度上比千兆以太网具有更大优势, 而且数据传输稳定性更高<sup>[6-8]</sup>。同时, 由于FPGA具有数据并行处理能力和高度灵活性, 因

收稿日期: 2020-10-21

基金项目: 国家自然科学基金资助项目(61603231); 山西省应用基础研究资助项目(201801D221166, 201801D22172); 山西省高等学校科技创新资助项目(2019L0068); 山西省研究生教育创新资助项目(2020SY018)

作者简介: 刘林仙(1987-), 女, 副教授, 博士, 主要从事MEMS器件及系统、嵌入式系统等研究。

此在数据采集和高性能数字信号处理领域等方面有广泛应用。但是由于常用的 USB3.0 通信接口并不适配于 FPGA 开发使用,因此开发人员在使用过程中都需要自己设计通信接口,严重降低了开发效率<sup>[9-11]</sup>。

因此本文设计了一款基于 FPGA 的 USB3.0 通信 IP 核接口,最大限度发挥 FPGA 的并行数据传输速度和 USB3.0 的高性能传输方式,对未来高速数据传输的发展具有重要意义。

## 1 系统总体方案

系统总体框图如图 1 所示,系统工作流程包括发送控制命令和上传数据,其中 FX3 和 FPGA 分别采用独立的外部时钟进行工作。当发送控制命令时,PC 端首先通过上位机软件写入命令,通过 FX3 芯片将命令发送到 FPGA,FX3 通过 IP 核解析命令并缓存到 RAM 中;当系统上传数据时,FPGA 读取内部数据,利用 USB3.0 接口将数据发送到 FX3 上,最后将数据传输到 PC 端。

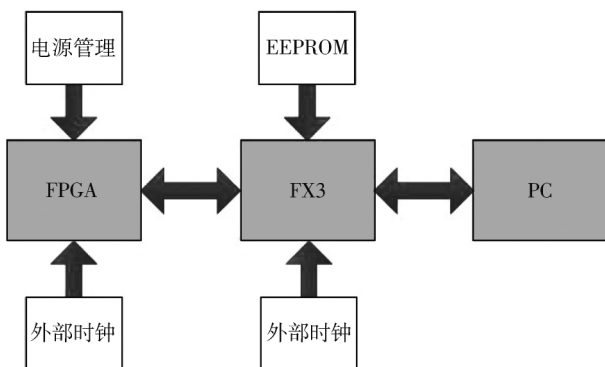


图 1 系统总体框图

Fig. 1 Diagram of system block

系统的 USB3.0 芯片选取 Cypress 公司 FX3 系列的 CYUSB3014;FPGA 芯片选择为 Xilinx 公司的 XC7A35TFTG256;EEPROM 为 MICT-MT41K128M16JT-96。其中 CYUSB3014 芯片内嵌 32 b ARM9 系列微处理器,同时可以通过并行可编程接口 GPIF II 将芯片与任何 ASIC 和 FPGA 相连接,芯片向下兼容 USB2.0 模式,开发人员可以通过编程设置芯片工作模式。

## 2 USB3.0 固件设计

本文采用 Cypress 官方提供的设计固件 Slavefifo\_2bit 接口验证 FPGA 接口的 IP 核。该固件在加电后,由 EEPROM 加载到 CYUSB3014

中,并在其中运行,其作用是控制硬件来完成预期的设备功能。GPIF II 接口是 USB3.0 芯片与外部通信的主要接口部分,理论上可以通过该接口与 FPGA 实现无缝衔接,进行高速并行数据传输。GPIF II 接口的参数均可以在可视化界面进行修改,主要参数为:(1)外设接口,如 I2C, I2S, UART 等;(2)数据模式:大端模式(big endian)、小端模式(little endian);(3)标志位:FLAGX<sup>[12,13]</sup>。

Cyfxslfifosync.c 是固件 Slavefifo\_2bit 的主程序,主要包含:IO 矩阵配置函数、初始化应用线程函数、端点和 DMA 配置函数、USB 模块的回调函数、调试信息打印函数。固件使用流程为:1)对时钟模块进行配置,令系统时钟工作频率为 400 MHz;2)初始化 GPIF 接口和 USB 接口,配置 GPIF II 接口和固件信息;3)缓存区进行初始化,选择 UART 接口打印调试信息<sup>[14,15]</sup>。在固件工作过程中通过回调函数进行数据和命令处理,其工作示意图如图 2 所示。

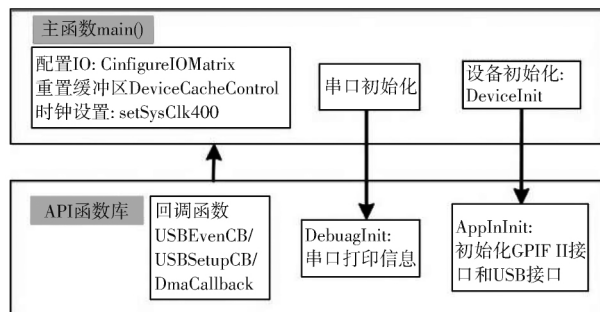


图 2 固件工作示意图

Fig. 2 Schematic diagram of firmware work

## 3 FPGA 接口电路设计

FPGA 接口既要完成与 USB 控制器 GPIF II 的对接,同时也要提供对 FPGA 内部逻辑模块的数据传输接口。FPGA 接口逻辑是本系统的核心,它作为主设备,控制着从设备 GPIF 的工作状态。FPGA 接口逻辑模块内部有一些标志工作状态的寄存器,用户可以通过上位机软件来配置这些寄存器,从而指定整个系统的工作模式。因此,在执行某种操作之前,需要通过上位机软件先对 FPGA 接口逻辑模块进行配置。

FPGA 接口逻辑除了具有与 GPIF II 相连接的接口外,还提供了其他接口与 FPGA 内部其他逻辑模块相连接,接口信号如图 3 所示。

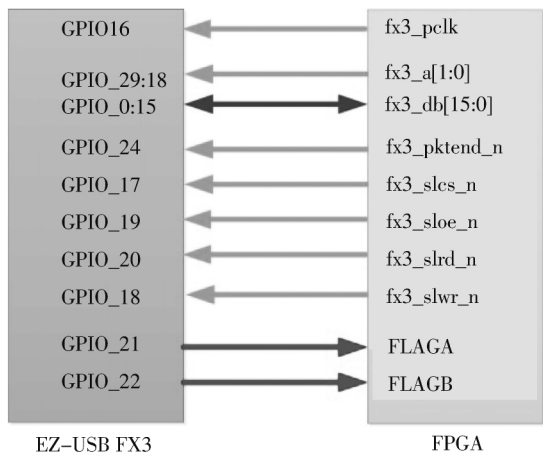


图 3 接口信号示意图

Fig. 3 Schematic diagram of interface signals

### 3.1 数据读写状态机

fx3 数据读状态机的状态迁移如图 4 所示, 上电状态为 fx3\_rstn, 随后就进入 fx3\_idle 状态, 首先等待 fx3 的 SlaveFIFO 有可读数据, 然后进入 fx3\_read 状态读取数据, 接着进入 fx3\_rdstop 状态停留一个时钟周期, 最后回到 fx3\_idle 状态.

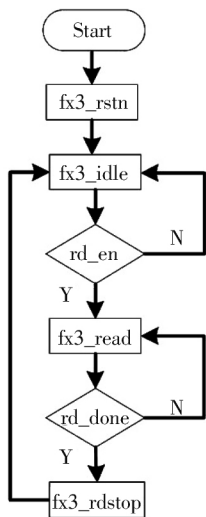


图 4 fx3 数据读出状态机

Fig. 4 State machine of fx3 data read

fx3 数据写入状态机的状态迁移如图 5 所示, 上电状态为 fx3\_rstn, 随后就进入 fx3\_idle 状态, 此时判断 SlaveFIFO 是否可写入, 若可以写入则进入 fx3\_write 状态, 写入刚刚读取的所有数据到 fx3 的 SlaveFIFO 中, 接着进入 fx3\_wrstop 状态停留一个时钟周期, 最后回到 fx3\_idle 状态, 如此反复.

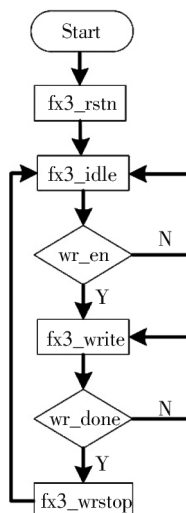


图 5 fx3 数据写入状态机

Fig. 5 State machine of fx3 data write

### 3.2 FIFO 模块和时钟模块

在 FPGA 程序设计中, 除了最主要的 USB3.0 读写状态, 还包含在线逻辑分析仪、FIFO 模块和时钟模块, 如图 6 所示. 其中 ILA 在线逻辑分析仪 IP 核模块主要用于观察数据信号和控制信号, 判断信号的时序是否符合要求.

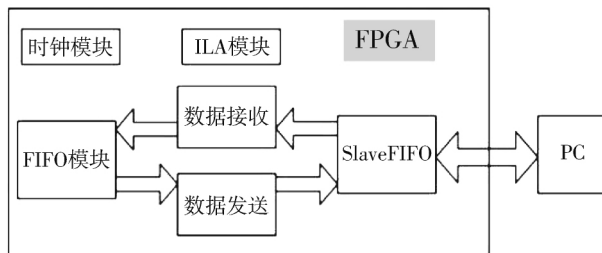


图 6 程序主要模块

Fig. 6 Main modules of the program

在测试回环过程中, FIFO 模块主要用于缓存数据写入和读出, 不涉及到时钟域和数据位宽的变换. FIFO 写入和读出数据位宽均为 32 bit, 写入和读出数据深度均为 1 024, 可存储 4 KB 数据. 时钟模块的输入时钟为 FPGA 系统时钟 50 MHz, 通过锁相环产生 4 路时钟, 频率分别为 25 MHz, 100 MHz(相位 180°), 50 MHz, 100 MHz(相位 0°). 同时对输入时钟模块的复位信号以及时钟模块锁定后的复位信号进行“异步复位, 同步释放”的处理, 确保系统的复位信号稳定可靠.

## 4 测试

在进行数据传输测试时, 首先对 USB3.0 硬件平台进行连接, USB3.0 固件枚举工作正常, 设

备信息描述符无异常。数据传输过程中,使用 Cypress 官方提供的数据测试软件,通过固件枚举,利用端点 0x01 和 0x81 实现数据传输,测试结果如图 7 所示。首先上位机软件通过端点 0x01 向 FPGA 发送数据流 6E 69 68 61/6F 77 6F 73/68 69 71 69/61 6F 6E 61/6E 6E 6C 61/69 7A 69 68/65 6E 61 6E/73 68 65 6E,如图 7 上方框选所示,同时在 FPGA 中利用在线逻辑分析仪观察,在上位机发送到 FPGA 的数据流波形图中,第一组数据为 61 68 69 6E,根据 GPIF II 的小端模式可以验证下位机接收到的数据和上位机发送的数据一致,表明数据下行传输正确,如图 8 所示。

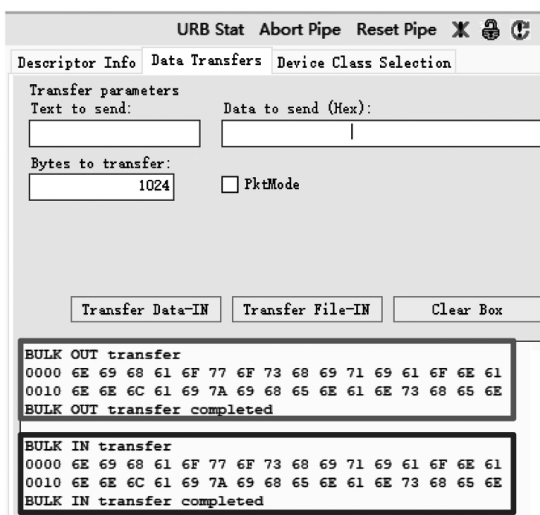


图 7 上位机测试结果

Fig. 7 Test results of upper computer software



图 8 上位机发送到 FPGA 的数据流

Fig. 8 Data from upper computer to FPGA

如图 9 所示, FPGA 通过端点 0x81 向上位机发送数据流 6E 69 68 61/ 6F 77 6F 73 /68 69 71 69/ 61 6F 6E 61/6E 6E 6C 61 /69 7A 69 68 /65 6E 61 6E/ 73 68 65 6E,在上位机软件接收到 FPGA 所发送的数据流如图 7 下方框选所示,表明数据上行传输正确。



图 9 FPGA 发送到上位机的数据流

Fig. 9 Data from FPGA to upper computer

本文使用 Cypress 公司官方提供的速度测试软件 streamer 对 IP 核的传输速度进行测试。测试结果表明该接口上行通信速率可达到 259 200 KB/s,约为 253.1 MB/s,如图 10 所示。下行通信速率可达到 135 100 KB/s,约为 131.9 MB/s,如图 11 所示。

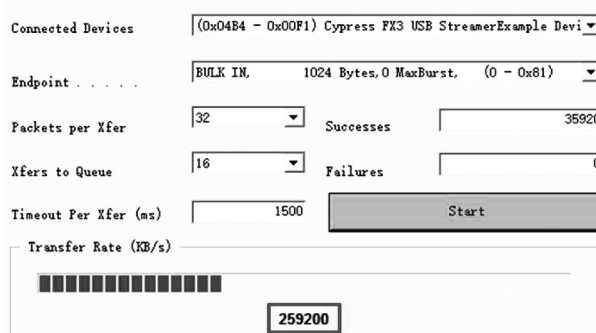


图 10 上行通信速率测试结果

Fig. 10 Communication rate test results of upstream

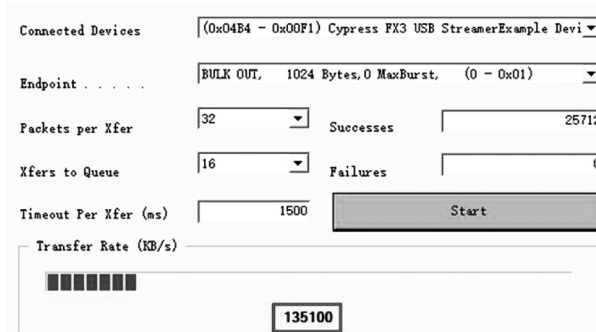


图 11 下行通信速率测试结果

Fig. 11 Communication rate test results of downstream

### 5 结论

本文利用 Cypress 公司 FX3 系列的 CY-USB3014 控制芯片,设计适用于 FPGA 的 USB3.0通信 IP 核接口,并通过实验验证了所设计 IP 核接口的稳定性和正确性。通过该 IP 核接口可以实现 FPGA 和上位机软件的数据传输,经

过测试,该接口实际可达到的上行最大通信速率 253.1 MB/s,下行最大通信速率 131.9 MB/s.

#### 参考文献:

- [1] 王法臻,崔少辉,王成,等. FPGA 可重构仪器 USB 通信接口的设计与实现[J]. 测试技术学报, 2020, 34(5): 451-456.  
Wang Fazhen, Cui Shaohui, Wang Cheng, et al. Design and implementation of USB communication interface of FPGA reconfigurable instrument[J]. Journal of Test and Measurement Technology, 2020, 34 (5): 451-456. (in Chinese)
- [2] 唐丽. USB3.0 接口测试方法的研究与实现[D]. 成都: 电子科技大学, 2018.
- [3] Linares-Barranco A, Gomez-Rodriguez F, Villanueva V, et al. A USB3.0 FPGA event-based filtering and tracking framework for dynamic vision sensors[C]. IEEE International Symposium on Circuits & Systems, IEEE, 2015: 2417-2420.
- [4] 宋中喆,裴东兴,杨少博. 基于 USB3.0 接口的高速数据传输系统设计[J]. 现代电子技术, 2017, 40(4): 159-162.  
Song Zhongzhe, Pei Dongxing, Yang Shaobo. Design of high-speed data transmission system based on USB3.0 interface [J]. Modern Electronics Technique, 2017, 40 (4): 159-162. (in Chinese)
- [5] Peng J, Xu W, Liang B, et al. Pose measurement and motion estimation of space Non-cooperative targets based on laser radar and stereo-vision fusion[J]. IEEE Sensors Journal, 2018, 19(8): 3008-3019.
- [6] 丁宁,常玉春,赵健博,等. 基于 USB 3.0 的高速 CMOS 图像传感器数据采集系统[J]. 吉林大学学报(工学版), 2018, 48(4): 1298-1304.  
Ding Ning, Chang Yuchun, Zhao Jianbo, et al. High-speed CMOS image sensor data acquisition system based on USB 3.0[J]. Journal of Jilin University (Engineering and Technology Edition), 2012, 48 (4): 1298-1304. (in Chinese)
- [7] Pan T, Zhang G, Xu Y, et al. Design of multichannel high-speed synchronous data acquisition system based on multi-FPGA and distributed control strategy [C]. IEEE Advanced Information Technology, Electronic and Automation Control Conference (IAEAC), IEEE, 2018: 1639-1643.
- [8] 关守平,尤富强,董国伟. 基于 FPGA 的高速数据采集系统设计[J]. 控制工程, 2013, 20(5): 970-975.  
Guan Shouping, You Fuqiang, Dong Guowei. Design of high-speed data acquisition system based on FPGA [J]. Control Engineering of China, 2013, 20 (5): 970-975. (in Chinese)
- [9] 张蓝. 基于 FPGA 和 USB3.0 的高速视频图像采集处理系统设计[D]. 合肥: 合肥工业大学, 2018.
- [10] Qian Y J, Cui K. Design of high speed CCD data acquisition system based on FPGA and USB3.0 [C]. International Conference on Information & Communication Technology Convergence. IEEE, 2015.
- [11] 王早. USB3.0 高速实时数据采集与记录系统硬件设计[D]. 成都: 电子科技大学, 2016.
- [12] 杨少博,裴东兴,岳孝忠. 高速数据采集系统中 USB3.0 数据传输接口设计[J]. 电子器件, 2015, 38(4): 912-916.  
Yang Shaobo, Pei Dongxing, Yue Xiaozhong. Design of USB3.0 data transmission interface in high-speed data acquisition system [J]. Journal of Electron Devices, 2015, 38 (4): 912-916. (in Chinese)
- [13] Fu H Q, Tang L B, Zhang C, et al. Integrated test system of infrared and laser data based on USB 3.0 [C]. International Conference on Digital Image Processing, 2017.
- [14] 周青云,王建勋. 基于 USB 接口与 LabVIEW 的数据采集系统设计[J]. 实验室研究与探索, 2011, 30(8): 238-240.  
Zhou Qingyun, Wang Jianxun. Data acquisition system design based on USB interface and LabVIEW [J]. Research and Exploration in Laboratory, 2011, 30(8): 238-240. (in Chinese)
- [15] Huang J, Wang Y, He D, et al. Research of aerial imaging spectrometer data acquisition technology based on USB 3.0 [C]. Proceedings of the Spie, Conference on Real-time Photonic Measurements, Data Management and Processing II, 2016.