

文章编号: 1673-3193(2022)03-0273-08

一种高精度时间间隔测量电路的设计

赵雪鹏¹, 苏淑靖¹, 高媛²

(1. 中北大学 省部共建动态测试技术国家重点实验室, 山西 太原 030051;
2. 军委装备发展部某中心, 北京 100034)

摘要: 针对当前时间间隔测量存在精度低、分辨率低、测量时间间隔范围小的问题, 本文设计了一种高精度、高分辨率的时间间隔测量电路。通过6个D触发器构成的组合逻辑电路和时序逻辑电路, 将待测时间间隔 t 拆分为大于时钟周期的大时间间隔 t_{12} 与小于时钟周期的小时间间隔 t_1 和 t_2 。FPGA在外部时钟的驱动下, 采用直接计数法由内部计数器直接计数获取计数值 Q , 并与时钟周期相乘计算得到 t_{12} ; 采用时间-幅度转换法, 将 t_1 和 t_2 作为高速开关的开断信号来控制电容的放电时间, 实现了时间测量转换为模拟电压测量; 使用16 bit高分辨率的ADC对电容放电前后的电压进行采集, 结合电容放电前后的压差和恒流源下电容放电公式可得高分辨率的 t_1 和 t_2 ; 最后将测量的 t_1 , t_2 和 t_{12} 传给上位机计算可得待测时间间隔 t 。理论分析和实验测量结果表明, 电路时间间隔测量范围可达到 10^6 s, 分辨率优化到1.5 ps, 测量精度达到10 ps。

关键词: 时间-数字转换; FPGA; 高精度; 时间-幅度转换; 直接计数法; 时间间隔

中图分类号: TN98

文献标识码: A

doi: 10.3969/j.issn.1673-3193.2022.03.012

Design of a High Precision Time Interval Measurement Circuit

ZHAO Xuepeng¹, SU Shujing¹, GAO Yuan²

(1. State Key Laboratory of Dynamic Measurement Technology, North University of China, Taiyuan 030051, China;
2. CMC Equipment Development Center, Beijing 100034, China)

Abstract: Aiming at the problems of low precision, low resolution and small range of time interval measurement, a high precision and high resolution time interval measurement circuit was designed. Through the combinational logic circuit and sequential logic circuit composed of six D triggers, the time interval t to be measured was split into large time interval t_{12} , which was larger than the clock period, and small time interval t_1 and t_2 , which were smaller than the clock period. Driven by the external clock, FPGA used the direct counting method to directly obtain the count value Q by the internal counter, and multiplied the Q and the clock cycle to get t_{12} . Based on time-amplitude conversion method, the t_1 and t_2 were made as the open and close signal of high-speed switch to control capacitor discharge time, and then the time measurement was converted into analog voltage measurement. Capacitance voltage before and after discharge was obtained by using a 16-bit high resolution ADC, and high resolution t_1 and t_2 were obtained by combining the capacitance voltage and capacitance discharge formula of constant current source. The measured t_1 , t_2 and t_{12} were transferred to the upper computer, and the time interval t was obtained by calculating. The results of theoretical analysis and experimental measurement show that, the circuit time interval measurement range can reach 10^6 s, the resolution is optimized to 1.5 ps, and the measurement accuracy can reach 10 ps.

Key words: time-digital conversion; FPGA; high precision; time-amplitude conversion; direct counting method; time interval

收稿日期: 2021-12-07

作者简介: 赵雪鹏(1995-), 男, 硕士生, 主要从事信号处理、电路与系统研究。E-mail: 452974235@qq.com.

通信作者: 苏淑靖(1971-), 女, 教授, 主要从事感知与探测、信号处理研究。E-mail: sushujing@nuc.edu.cn.

0 引言

时间间隔测量技术在武器、航空航天、高能物理等研究领域有着广泛的用途。在武器研究领域,对打击目标进行精确测距是精确打击的前提,提高时间间隔测量的分辨率就意味着有效提高制导、引爆的精确度^[1];在航空航天领域,通过精确测量反射波和发射波之间的时间间隔可精确标定飞行器的飞行高度,保障飞行器的安全^[2];在核物理实验中,通过测量粒子的飞行时间,再结合飞行距离即可确定粒子的质量,实现粒子鉴别^[3]。

目前,高精度时间间隔测量的方法主要有时间扩展计数法、时间-幅度转换法、时间游标法及抽头延迟线法等^[4]。时间扩展计数法的转换时间长,非线性度大;时间-幅度转换法的单次测量精度虽然高,但测量的时间间隔范围小,时钟稳定要求高^[5];时间游标法需要高稳定度的可启动振荡器和高精度的重合检测电路,制作及调试难度大、造价高,且转换时间长^[6];抽头延迟线法构成的时间间隔测量系统分辨率由触发器自身器件的内部延迟时间决定,触发器的延迟时间通常为纳秒量级^[7]。例如:美国是德科技公司研发的U1050A型计时器具有12个测量通道,最高分辨率为5 ps,测量精度为10 ps^[8];拉脱维亚研发的A033-ET事件计时器单次测量精度最优到3.5 ps,测量精度达到4 ps^[9];法国研发的GT688系列计时器测量分辨率和测量精度都达到了1 ps^[10];上海天文台通过在FPGA内部搭建延迟线结构,设计出了基于数字延迟电路的时间测量模块,测量分辨率为10 ps,测量精度为50 ps^[11]。本文采用时间-数字转换和时间-幅度转换相结合的方法来研究改善时间间隔测量的方法,进一步提高时间间隔的测量分辨率、测量精度以及测量范围。

1 时间间隔测量方案

时间间隔测量电路主要由时间-数字转换模块(TDC)、时间-幅度转换模块(TAC)以及通信接口电路组成,如图1所示。信号脉冲发生器用于产生待测标志信号Start和Stop;时间间隔信号处理电路将待测时间间隔信号 T 转换为大于参考时钟周期的待测信号 T_{12} 和小于参考时钟周期的待测

信号 T_1 和 T_2 ,FPGA通过内部计数器直接测量 T_{12} ;信号 T_1 和 T_2 用于控制TAC电路中采样电容的放电时间,通过测量电容放电前后的电压差,可计算出放电时间 t_1 和 t_2 ;数据通信接口采用RS485通信方式连接PC机,用于接收、处理测量的时间间隔数据,最终计算出待测时间间隔 t 。

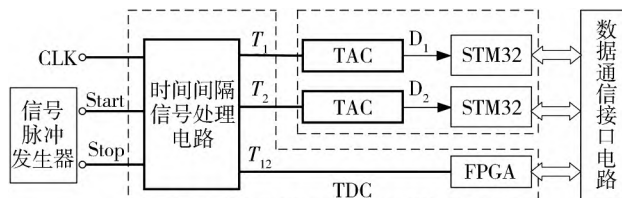


图1 时间间隔测量方案

Fig. 1 Time interval measurement scheme

时间间隔测量原理如图2所示,Start信号与Stop信号上升沿之间的时间间隔 t 为待测时间。在 T_{12} 为高电平时,FPGA通过CLK信号上升沿触发内部计数器进行计数,每来一个时钟上升沿计数器值 Q 都会加1,直到 T_{12} 信号为低电平时停止计数,测得的时间间隔 $t_{12} = Q \times T_{\text{clk}}$ 。采用计数法进行时间间隔测量的产生的量化误差为 $t - t_{12} = t_1 - t_2$,其中 t_1, t_2 分别为Start信号、Stop信号上升沿到第二个时钟上升沿的时间差^[12]。 t_1 和 t_2 采用时间-幅度变换(TAC)进行量化,被测时间间隔 $t = t_{12} + t_1 - t_2$ 。将时间-数字转换法和时间-幅度转换法相结合,既可以实现大量程的时间间隔测量,又能提高测量分辨率。

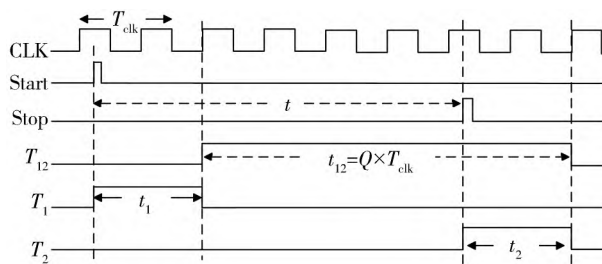


图2 时间间隔测量原理

Fig. 2 Principle of time interval measurement

1.1 时间-数字转换模块设计

1.1.1 时间间隔测量途径

时间间隔测量方案如图3所示,通过多个D触发器组成的时序逻辑电路对Start和Stop信号进行逻辑组合变换,最终产生了待测信号 T_1, T_2 和 T_{12} 。将 T_1 和 T_2 信号送入TAC电路进行测量,将时钟周期整数倍的时间间隔 T_{12} 信号送入FPGA作为计数器计数的控制信号。FPGA和D触发器的驱动时钟频率为400 MHz,该时钟由铷

时钟通过锁相环倍频得到^[13], 具有高精度、低温漂等特点, 保证了测量精度. 在 FPGA 中设计一个 49 bit 的计数器, 在 400 MHz 频率的驱动下计

数周期为 2.5 ns, 当计数器计满时测量的最大时间间隔为 1 407 374.88 s, 可实现 10⁶ s 时间间隔的测量.

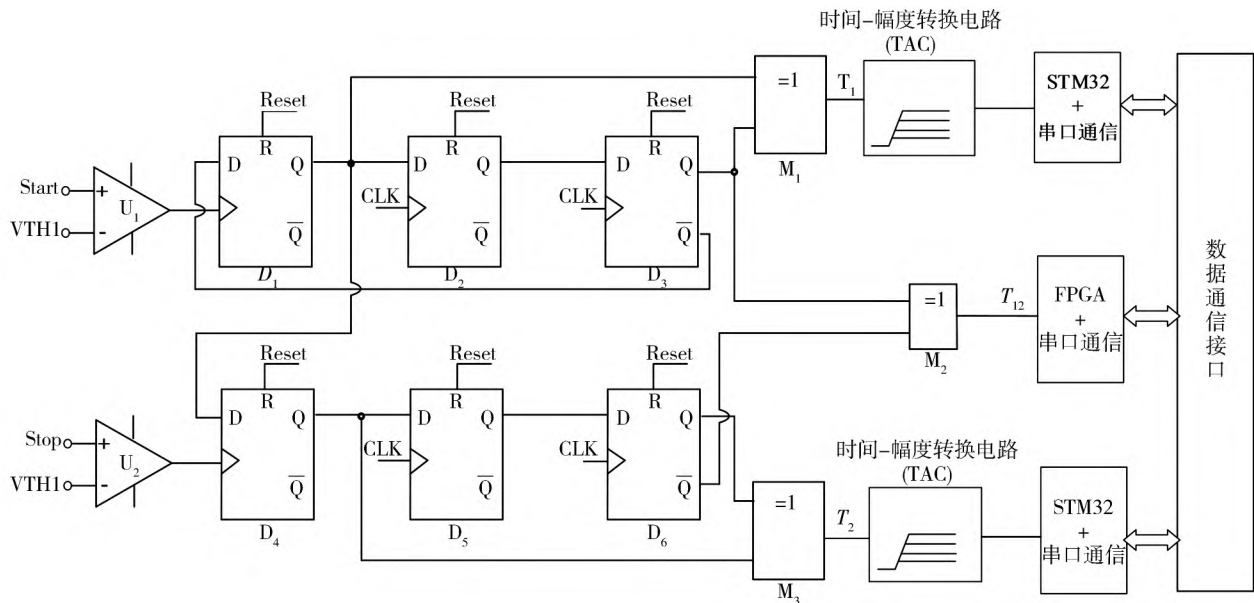


图 3 时间间隔测量方案设计

Fig. 3 Design of time interval measurement scheme

图 4 主要描述了 TDC 电路中主要信号的波形图.

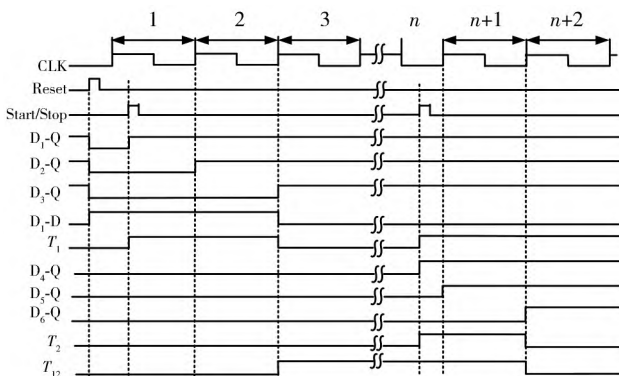


图 4 TDC 电路主要信号波形图

Fig. 4 Main signal waveform of TDC circuit

在初始时刻, 复位信号 Reset 分别将触发器的 D₁-Q、D₂-Q、D₃-Q 置 0, D₁-Q、D₂-Q、D₃-Q 置 1, 此时异或门 M₁ 的两路输入为 0, 所以 T₁ 输出为 0, D₃-Q 与 D₁ 的输入端 D 相连, 复位时刻 D₁-D 为 1. 在第 1 个时钟周期内的某一时刻, 事件信号 Start 到达, Start 信号通过比较器被送入 D₁ 的 CP 端后, D₁-Q 从 0 置为 1. 随后, 在第 2 个、第 3 个时钟周期上升沿到来时刻, D₂-Q 和 D₃-Q 也分别置为 1; Stop 信号到达前, D₄ 的输入端为 D₁-Q, 数值为 1. 经过若干周期, 在第 n 个时钟周期某一时刻 Stop 信号到来时, 驱动 D₄ 触发器, 使

得 D₄-Q 输出为 1, 在之后的两个周期上升沿到来时, D₅-Q、D₆-Q 输出端分别置为 1. 信号通过异或门 M₁, M₂, M₃ 进行逻辑运算, 得到所需要的 T₁, T₁₂, T₂ 时间间隔信号.

1.1.2 时间-数字转换电路设计

以图 3 中起始 Start 信号处理为例, 通过图 5 所示的电路转换出待测信号 T₁. 输入信号通过与比较器的阈值电压比较来判断待测信号的变化, 经过差分运算放大器将触发信号传至 D 触发器, 通过 3 路 D 触发器的逻辑运算得到待测信号 T₁. ADCMP573 是一种低抖动、低传播延迟的比较器, 具有鲁棒输入和可编程迟滞等特性; VTP 和 VTN 内含 50 Ω 的终端输入反馈电阻, 为匹配前端脉冲信号发生器的输出阻抗, 使 VTP 和 VTN 接地后, 信号输入端 VP 和 VN 的输入阻抗为 50 Ω; HYS 为磁滞控制端, 通过接地电阻 R₂ 调节迟滞电压的大小, 从而增强比较器输入端对噪声的抗干扰能力. 为解决比较器与 D 触发器之间电平不匹配的问题, 在两级之间加入了差分运算放大器. AD8351 是一款具有低噪声和低谐波失真特性的运算放大器, 其输出的共模电压和放大增益均可调节, 通过调节放大增益和共模电压, 将比较器的输出电压调节到适于驱动 D 触发器的值. 其中, R₃, R₄, R₆ 和 R₇ 均为 50 Ω 的电阻, 用

于源端阻抗匹配, R_5 用于调节运放增益. 在差分运放前端, 通过 C_1 和 C_2 实现信号交流耦合传输, 隔离信号的共模量, 之后通过 G_1 调节差分运放输出的共模电压. 为了使驱动信号可同时到达 4 路 D 触发器, 提高时序稳定性, 选择了集成 4 路 D 触发器的 MC100EP131, 其内异步复位 SET, 也可同步复位 4 路 D 触发器, 避免了路径延时造成的复位时差.

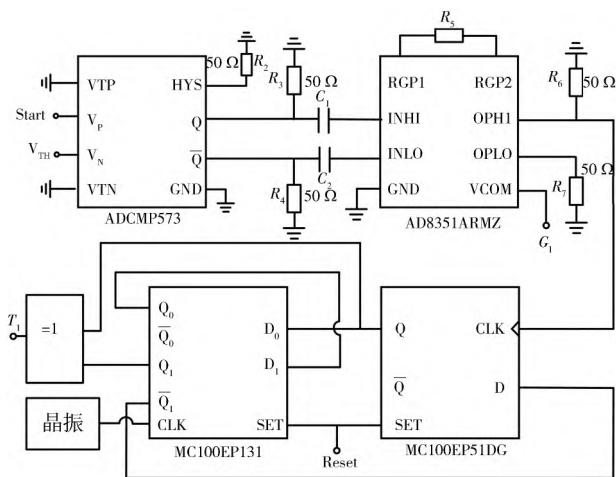


图 5 时间-数字转换电路

Fig. 5 Time-digital conversion circuit

1.2 时间-幅度转换模块设计

1.2.1 设计原理

通过时间-幅度转换电路对 T_1 和 T_2 时间信号进行转换、采集, 可以实现高分辨率时间测量. 时间-幅度变换原理如图 6 所示, T_1, T_2 窄带脉冲信号作为门控信号, 与三极管基极相连构成开关来控制恒流源放电, 使得电容放电时两端的电压线性减小^[10]. 电容放电前后的电压经过运放跟随和滤波后被 A/D 转换器采集量化.

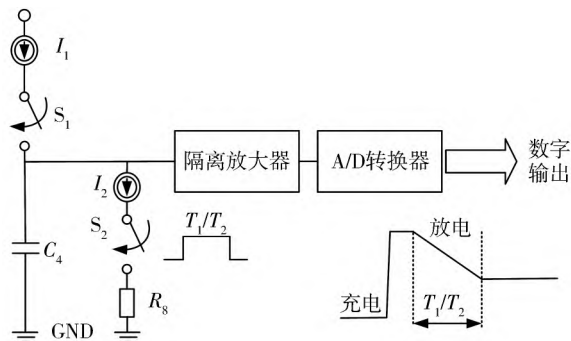


图 6 时间-幅度变换原理

Fig. 6 Principle of time-amplitude transformation

在图 6 中, 待测信号 T_1, T_2 到来前, S_1 闭合, 恒流源 I_1 向电容 C_3 充电, 充电完毕后 S_1 断开. 当 T_1, T_2 脉冲到来时, S_2 闭合电容通过恒流

源 I_2 放电. 由电容及其电荷量和两端电压的关系公式(1)可得, 电容在恒流源下放电为均匀放电, 电压减小量与放电时间呈线性关系.

$$C = \frac{Q}{U} = \frac{I \times t}{U} = \frac{I \times \Delta t}{\Delta U} \tag{1}$$

与充放电电容连接的是一个拥有高输入阻抗的隔离放大器, 隔离后级不影响电容的充放电. 在理想状态下, 当窄脉冲信号 T_1 到来时, 高速三极管开启导通, 电容 C_3 两端的电压在放电恒流源电路作用下开始线性下降, 由 U 下降到 U' , 压差为 U_d , 电压下降量为

$$U_d = \frac{1}{C} \int_0^{t_1} I_2 dt = \frac{I_2 \times t_1}{C} \tag{2}$$

式中: t_1 为放电时间长度; I_2 为放电恒流源大小.

将放电后的电压 U' 送入信号调理电路, 经过跟随器和低通滤波器后, 输出至模数转换器中进行量化. 电压模拟量与数字量的量化关系为

$$U' = U_{LSB} \sum_{K=0}^{n-1} M_K \times 2^K \tag{3}$$

式中: U_{LSB} 为模数转换器的最低有效量化值; n 为模数转换器的转换位数; M_K 为量化为二进制数的值; K 代表二进制数中的第 K 位. 结合式(2)和式(3)可以推出时间 t_1 为

$$t_1 = \frac{C \times (U - U_{LSB} \sum_{K=0}^{n-1} M_K \times 2^K)}{I_2} \tag{4}$$

上述公式表明, 时间间隔的分辨率由 ADC 位数、电容大小和放电恒流源值共同决定. 量化误差和系统噪声的存在, 导致了测量分辨率的下降. 为了进一步优化时间间隔测量的指标, 不仅要合理选择高位数、低增益误差的 ADC, 还需要对 TAC 电路进行合理设计.

1.2.2 时间-幅度转换电路设计

时间-幅度转换电路原理图如图 7 所示, 电路主要包含了充电恒流源电路、放电恒流源电路、钳位电路以及采样电路. 充放电恒流源提供稳定的电流源, 对电容进行线性充放电, 钳位电路控制电容充电时的电压上限, 采样电路用于采集电容放电前后的电压值.

在充电恒流源模块中, 开关 S_1 控制充电恒流源开启闭合, 当 S_1 闭合时, 三极管 Q_1 的发射结正偏, 运放 A_1 通过发射结进入负反馈, 根据虚短可得 Q_1 的发射极的电压等于 A_1 同相端的输入电压, 恒流源电流大小为电阻 R_0 两端的电压除以电阻的阻值. 电路中电压 U_1, U_3 分别为 8 V, 7 V, 电阻

R_9 为 $100\ \Omega$, 可得充电恒流源的大小为 $10\ \text{mA}$. 电路中开关 S_1 选用 FDMC7660, 该芯片为 N 沟道的 MOS 管, 其门控开启阈值电压为 $2.5\ \text{V}$, 当大于 $2.5\ \text{V}$ 时, MOS 管漏极和源极导通, 其导通电阻为 $\text{m}\Omega$ 级别, 功率损耗很小; 三极管 Q_1 选用 CM5160, 它是一种硅材料的 PNP 射极晶体管, 专为高频放

大和开关应用而设计, 当未导通时其漏电流只有 $10\ \mu\text{A}$; 为保持恒流源的稳定, 本文选择的运放为 AD8605, 该芯片是一个单通道轨到轨的运算放大器, 其具有非常低的偏置电压 ($65\ \mu\text{V}$) 和噪声 ($8\ \text{nV}/\text{Hz}$), 单位增益稳定. 可通过改变电压 U_3 来控制 R_9 两端的电压, 从而改变恒流源的大小.

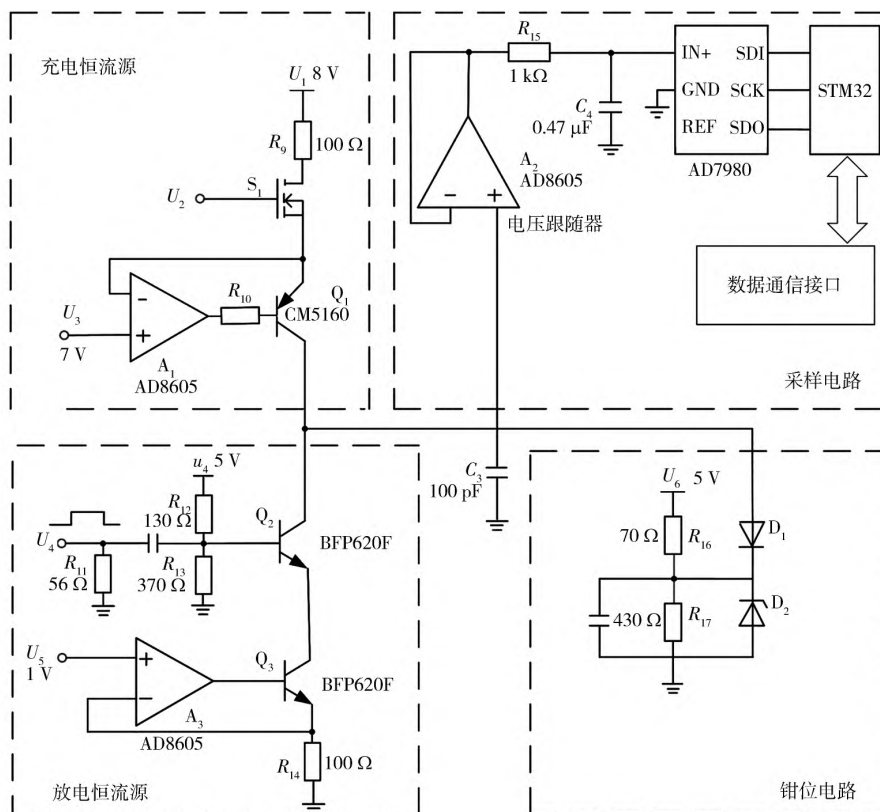


图 7 时间-幅度转换电路原理图

Fig. 7 Schematic diagram of time-amplitude conversion circuit

为了使电容充电后电压处于稳定状态, 钳位电路采用稳压二极管的反向稳压特性以及二极管正向导通特性来实现钳位功能. 设计方案中, 电容充完后电压设定在 $5\ \text{V}$, 所以钳位电路中供电电压 U_6 为 $5\ \text{V}$; D_2 采用的是 $4.3\ \text{V}$ 的稳压二极管, 当 S_1 闭合后, 恒流源开始对电容 C_3 进行充电, 充电至 $5\ \text{V}$ 后停止充电, 到达钳位效果.

在放电恒流源模块中, 当脉冲信号 T_1, T_2 到来时, 短暂的脉冲信号会抬高三极管 Q_2 基极的电压, 使得发射结正偏, 三极管 CE 两端导通, 电容通过恒流源均匀放电. 放电恒流源同充电恒流源原理一致, 通过改变运放 A_3 同相输入端的电压值来控制电阻 R_{14} 两端的电压, 以达到控制恒流源大小的目的. 电路中, 运放 A_3 同相端提供 $1\ \text{V}$ 的电压, 电阻 R_{14} 为 $100\ \Omega$, 所以, 放电恒流源大小为 $10\ \text{mA}$.

采样电路对电容 C_3 放电前后的电压进行采

样, 通过电压跟随器减少采样电路对电容充放电的影响, 起到隔离保护的作用. R_{15} 和 C_4 构成低通滤波器, 可以减少噪声对信号采集的干扰. STM32 通过 SPI 通信方式控制 AD 转换器对滤波后的电压采集并存储, 其数据可通过数据通信接口传至 PC 机. 为了获得高分辨率的时间间隔信号, 本文选择 $16\ \text{bit}$ 高分辨率的 ADC, 芯片选用 ADI 公司的 AD7980. AD7980 芯片是一个逐次逼近的模数转换器, 内含一个高速、低功耗的 $16\ \text{bit}$ 采样 ADC 和一个通用串行接口端口, 电压输入范围为 $0 \sim U_{\text{REF}}$, 其转换误差只有 $\pm 0.6\ \text{LSB}$, 保障了时间间隔采样的分辨率和精度.

当 AD7980 的参考电压为 $5\ \text{V}$ 时, $16\ \text{bit}$ ADC 对应的电压分辨率为 $76.3\ \mu\text{V}$. 电路中放电恒流源的电流 I_2 为 $10\ \text{mA}$, 为了实现 $1.5\ \text{ps}$ 的分辨率测量, 通过式 (4) 计算可得电容 C 最大为 $131.58\ \text{pF}$.

当电容选择 100 pF, ΔU 为 5 V 时, 代入式(1)计算可得 Δt (完全放完电所需要的时间)为 50 μs , 即 TAC 测得的最大时间间隔为 50 μs .

通过示波器对时间-幅度转换电路进行测试, 可观测到电容的放电过程如图 8 所示. 从图中可以看到, 电容呈线性放电, 放电前后的电压分别为 5.06 V 和 1.51 V.

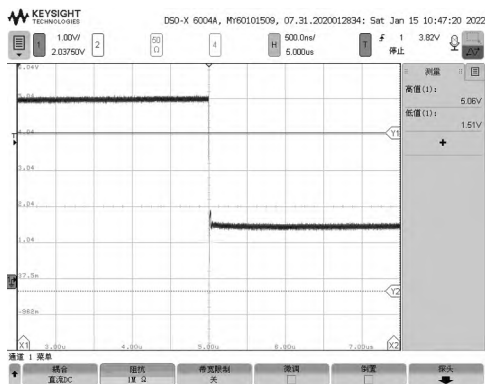


图 8 电容放电过程

Fig. 8 Capacitor discharge process

1.2.3 STM32 程序设计

AD7980 采用 SPI 的通信方式与 STM32 连接, 通信时序如图 9 所示. 串行数据接口通过串行数据输入 (SDI)、时钟输入 (SCK) 和转换控制 (CNV) 引脚实现了三线式控制输入. 当 SDI 输入端为高, CNV 上升沿到来时, 芯片通过 +IN 端开始对数据进行采样, SDO 输出为高阻抗; 当 CNV 下降沿到来时, 数据开始输出至 SDO, 并随着 SCK 的下降沿依次输出数据至 STM32, 其采样时序图如图 9 所示.

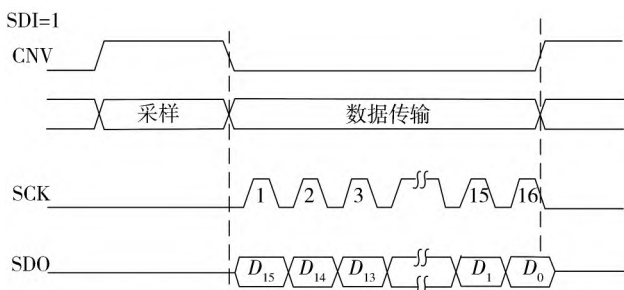


图 9 AD7980 时序图

Fig. 9 Timing sequence diagram of AD7980

1.3 通信机制及通信接口电路设计

为了获取所测量的时间间隔数据, 设计时保留了数据通信接口, 用于读取 STM32 和 FPGA 内部寄存器的数据, 测试时使用 PC 机串口助手通过 RS485 转接器来读取 T_1 , T_2 和 T_{12} 的值, 最终计算出时间间隔 t .

主机与从机通信采用帧结构形式. 一帧数据为 11 字节, 帧头、地址和校验位各为 1 字节, 数据位 8 字节^[14]. 帧头被用来识别数据帧的开始; 帧地址为接受数据的从机地址, RS485 总线上的通信为广播方式, 所以, 每个从机都有独立地址, 通过地址对比来判断该数据帧是否应该接收; 帧中的数据位为实际传输数据, 是 PC 机下达的命令; 校验位用于数据帧的校验, 通过异或校验的方式来验证数据传输过程中是否出现误码.

PC 机与从机的通信接口采用半双工 UART 接口, 通过异步串行通信方式接收和发送信息. 上电后, 从机处于待机状态, 实时监测总线上是否有数据传输. 当检测到数据传输时, 从机开启串口中断, 接受数据并判断该帧数据是否正确, 若不正确则需要主机重新发送, 如果正确则将寄存器中测量的数据发给 PC 机, 通信接口电路连接示意图如图 10 所示.

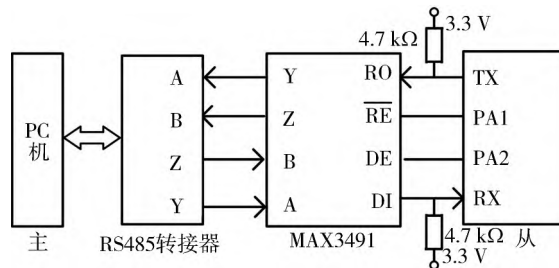


图 10 通信结构图

Fig. 10 Communication structure diagram

通信芯片选用 Maxim Integrated 厂商的 MAX3491, 该芯片具有通信速率高、功耗低特点, 能够满足电路通信需求. 在电路上, 芯片的接收端和发送端都需要接 4.7 k Ω 的上拉电阻, 当没有数据发送时总线默认置高, 使得总线上电平稳定.

2 实验测试及结果分析

时间间隔测量电路选择的驱动设备为美国是德科技生产的 81134A. 该设备是一个双通道脉冲码型信号发生器, 具有低抖动、快速上升时间等特点^[15], 通过时间调制功能, 可以设置脉冲信号的间隔时间和电平值.

在搭建好的测试平台上, 系统上电后先闭合 S_1 , 对电容 C_3 进行充电. PC 机通过数据通信接口向 STM32 发送指令, 获取电容充电后的电压; 断开 S_1 , 设置 81134A 设备的脉冲信号, 设置时间间隔为 100 ps, 打开该设备输出通道给系统提供脉冲信号, PC 机再次向从机发送指令, 读取电容放电后的电压, 记录串口助手界面上回传的数据;

重新闭合开关 S_1 ，更改 81134A 设备的时间间隔参数，重新测量电容放电前后的电压并记录。经过多次测量后，最终计算的待测信号时间 t 如表 1 所示。由于 8113A 设备本身所设置的间隔时间有限，所以实际测试的最大间隔为 3 000 ps。

表 1 时间间隔测试数据

Tab. 1 Test data of time interval

81134A 设置值/ps	测量值/ps	偏差/ps
20	27	7
100	105	5
101.5	106.4	5
500	504	4
1 000	1 005	5
1 500	1 507	7
2 000	2 010	10
2 500	2 507	7
3 000	3 006	6
5 000	5 010	10

对 500 ps, 1 000 ps, 1 500 ps 和 2 000 ps 的时间间隔进行测量，根据采样电路中电容放电前后的电压数据绘制的电压变化图形如图 11 所示。

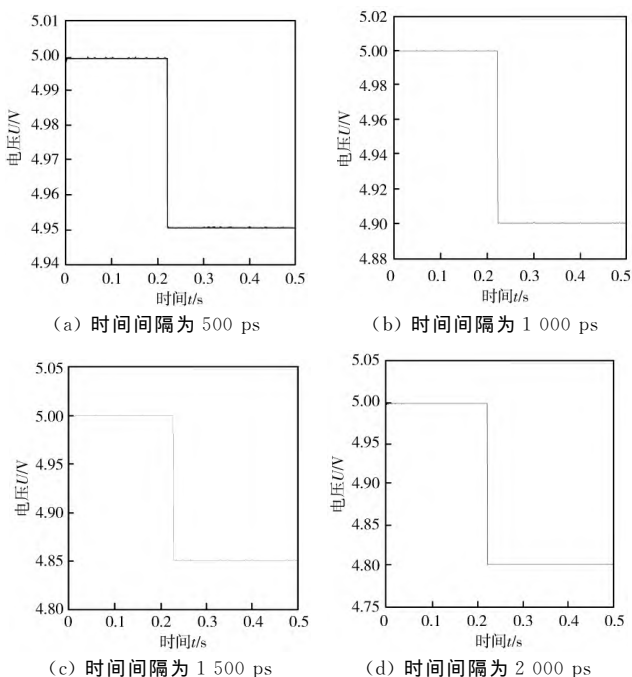


图 11 电容放电前后的电压变化图

Fig. 11 Voltage changes before and after capacitor discharge

表 1 中的数据都是对 10 次测量结果进行算术平均得到的。由表 1 的数据可知，设置值和测量值的偏差最大为 10 ps，实现了高精度时间间隔测量。同时，当设置 1.5 ps 的间隔时，测量值同步产生 1.5 ps 的变化，证明了电路可达到 1.5 ps 的分辨率。由图 11 可知，测量的时间间隔每增加 500 ps 时，电容放电后的电压值会减小 0.05 V。

在时间-幅度转换电路中，已知电容为 100 pF，放电电流为 10 mA，将这些参数代入式(1)中等式成立，表明电路设计可靠且测试正确。

数据测量存在的误差主要包含了由电路和测量仪器内部热噪声导致的随机误差，以及由参考时钟的不稳定度、时间扩展的非线性以及信号传输延时等导致的系统误差。对于随机误差采用数据统计方法进行误差处理，系统误差通过软件校准和数据修正进行处理。通过上述两种方法有效减少了测量误差，提高了测量精度。

3 结 论

本文设计了一种高分辨率时间间隔电路，对其主要部分的硬件电路设计进行了详细论述。为了实现大量程、高精度的时间间隔测量，采用直接计数法与时间-幅度法相结合的时间间隔测量方式，通过 TDC 电路将时间间隔拆分为大于驱动时钟周期的大时间间隔和小时间间隔。大时间间隔由 FPGA 内部计数器直接计数得到，每当时钟的上升沿到来时，计数器就会加 1；小时间间隔信号作为开关信号来控制电容放电，通过 ADC 采集电容放电前后的电压，计算出小时间间隔的时间。通过 FPGA 设计的 49 bit 的计数器能实现大量程测量，测量范围可达 10^6 s；实验结果表明，电路的测量分辨率可达 1.5 ps，测量精度为 10 ps。

参考文献:

[1] 崔永俊, 刘阳, 杨兵. 基于铷原子钟和双 TDC-GP2 的高精度时间基准测量系统的设计[J]. 电子器件, 2017, 40(5): 1072-1077.
CUI Yongjun, LIU Yang, YANG Bing. The design of high precision time reference measurement system based on rubidium disciplined crystal and double TDC-GP2. [J]. Chinese Journal of Electronic Devices, 2017, 40(5): 1072-1077 (in Chinese)

[2] 侯志军, 马红皎, 王康, 等. 基于 TDC-GPX2 的精密时间间隔测量仪设计[J]. 时间频率学报, 2017, 40(4): 213-220.
HOU Zhijun, MA Hongjiao, WANG Kang, et al. Design of a precise time interval measuring instrument base on TDC-GPX2[J]. Journal of Time and Frequency, 2017, 40(4): 213-220. (in Chinese)

[3] 安琪. 粒子物理实验中的精密时间间隔测量[J]. 核技术, 2006(6): 453-462.
AN Qi. Review of methods and techniques of precise

- time interval measurements for particle physics experiments[J]. Nuclear Techniques, 2006(6): 453-462. (in Chinese)
- [4] 张秀艳, 崔永俊, 张彬彬. 时间数字转换技术在超声波热量表设计中的应用[J]. 仪表技术与传感器, 2018(10): 31-34.
ZHANG Xiuyan, CUI Yongjun, ZHANG Binbin. Application of time digital conversion technology in the design of ultrasonic calorimeter[J]. Instrument Technique and Sensor, 2018(10): 31-34. (in Chinese)
- [5] 杜培. 基于时间-电压转换的时间间隔测量系统设计与实现[D]. 哈尔滨: 哈尔滨工程大学, 2015.
- [6] 张敏. 皮秒分辨率的 FPGA-TDC 技术研究[D]. 西安: 西安电子科技大学, 2013.
- [7] 胡万鹏. 应用于 TDC 的高精度粗计数电路及误差校准电路设计[D]. 杭州: 杭州电子科技大学, 2018.
- [8] ARTYUKH Y, BESPAL'KO V, BOOLE E, et al. Event timer A033-ET: current state and typical performance characteristics[C]//Proceedings of the 17th International Workshop on Laser RangingBadKotzting. 2011: 107-110.
- [9] 饶子兵. 高精度事件计时器研究与设计[D]. 成都: 电子科技大学, 2019.
- [10] 王贵家. 四通道高分辨率事件计时器的设计与实现[D]. 成都: 电子科技大学, 2021.
- [11] 李康康, 崔永俊. 基于时差法和 TDC-GP2 的新型超声波液体密度计[J]. 仪表技术与传感器, 2018(12): 123-126.
LI Kangkang, CUI Yongjun. New ultrasonic liquid density meter based on time difference method and TDC-GP2 [J]. Instrument Technique and Sensor, 2018(12): 123-126. (in Chinese)
- [12] 孟升卫. 高速精密时间间隔测量及应用研究[D]. 哈尔滨: 哈尔滨工业大学, 2007.
- [13] 谭文俊. 高分辨率事件计时器设计与实现[D]. 成都: 电子科技大学, 2020.
- [14] 白曦, 王俊. 基于 RS485 总线的主从通信方法[J]. 数字通信世界, 2020(2): 80, 28.
- [15] Keysight Technology Co.. 81133A/81134A Pulse Generator[Z]. Santa Rosa: Keysight Technology Co., 2015.

(上接第 272 页)

- [14] 陈士杰, 张森林, 刘妹琴, 等. 基于改进 Delaunay 三角剖分的水下地形三维重建算法 [J]. 计算机科学, 2020, 47(11): 137-141.
CHEN Shijie, ZHANG Senlin, LIU meiqin, et al. Underwater terrain three-dimensional reconstruction algorithm based on improved delaunay triangulation [J]. Computer Science, 2020, 47(11): 137-141. (in Chinese)
- [15] DA SILVA BRANDAO F J, PAIO A, LOPES A. Triangulation algorithms for generating As-Is floor plans [J]. Nexus Network Journal, 2020, 22: 683-700.
- [16] 张艳, 李强. 基于逐点插入法生成 Voronoi 图的算法研究及实现[J]. 黑龙江工程学院学报, 2016, 30(5): 22-24.
ZHANG Yan, LI Qiang. Research and implementation of Voronoi diagram generation algorithm based on point by point insertion method[J]. Journal of Heilongjiang Institute of Technology, 2016, 30(5): 22-24. (in Chinese)
- [17] 刘琴琴. 平面域 Delaunay 三角网点定位算法研究综述[J]. 电子设计工程, 2017, 25(1): 47-51.
LIU Qinqin. Overview of point location algorithm of Delaunay triangulation on plane domain[J]. Electronic Design Engineering, 2017, 25(1): 47-51. (in Chinese)
- [18] 黄绍龙, 芮璋现. 鞋带算法及程序实现[J]. 电脑知识与技术, 2020, 16(11): 243-244.
HUANG Shaolong, RUI Zhangxian. The shoelace algorithm and its program[J]. Computer Knowledge and Technology, 2020, 16(11): 243-244. (in Chinese)
- [19] 杨静静, 马骏. 遥感影像区域面积快速计算并行算法研究[J]. 计算机时代, 2020(6): 8-12.
YANG Jingjing, MA Jun. Research on parallel algorithm for fast calculation of area in remote sensing image[J]. Computer Era, 2020(6): 8-12. (in Chinese)